

(19)日本特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号  
特開2000-19559  
(P2000-19559A)

(43)公開日 平成12年1月21日(2000.1.21)

(51)Int.Cl. <sup>7</sup>	識別記号	F I	テマコード <sup>*</sup> (参考)
G 0 2 F	1/136	5 0 0	2 H 0 9 2
	1/133	5 5 0	2 H 0 9 3
	1/1343	1/1343	

審査請求 未請求 請求項の数7 O L (全 8 頁)

(21)出願番号 特願平10-185815

(22)出願日 平成10年7月1日(1998.7.1)

(71)出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(72)発明者 岡田 伸二郎

東京都大田区下丸子3丁目30番2号 キヤ  
ノン株式会社内

(72)発明者 水谷 英正

東京都大田区下丸子3丁目30番2号 キヤ  
ノン株式会社内

(74)代理人 100096828

弁理士 渡辺 敬介 (外1名)

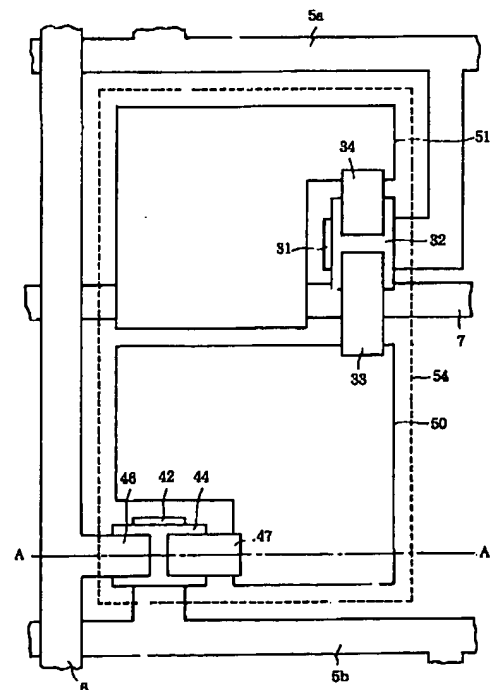
最終頁に続く

(54)【発明の名称】 液晶素子

(57)【要約】

【課題】 自発分極の大きな液晶をアクティブマトリクス方式により高速駆動する。

【解決手段】 画素毎に設けた画素電極を、第1のTFTのドレイン電極47に接続された第1の画素電極50と第2の画素電極51に分割し、画素毎に電氣的に独立した対向電極54を配することにより、二つのキャパシタンスが直列に接続された構成とすることにより、第1の画素電極が接続された第1のTFTにかかる負荷を通常の1/4に低減し、さらに、第1の画素電極50と第2の画素電極とを第2のTFTで連結し、該第2のTFTをオンして画素内の電荷を放電した後、第1のTFTをオンして第1の画素電極に情報信号線6より所定の電荷を供給して上記二つのキャパシタンスに電荷を蓄積することにより、書き込みにかかる期間を半減する。



## 【特許請求の範囲】

【請求項1】 互いに直交する複数の走査信号線と情報信号線、及び該信号線の交点を1画素として、各画素毎に画素電極と第1のスイッチング素子を設けた第1の基板と、各画素毎に電氣的に独立した対向電極を設けた第2の基板との間に自発分極を有する液晶を挟持してなり、各画素において、上記画素電極が電氣的に独立し且つ第2のスイッチング素子によって相互に連結された複数の領域からなり、該画素電極と対向電極によって、直列接続された複数のキャパシタンスが上記第1のスイッチング素子の負荷として形成されていることを特徴とする液晶素子。

【請求項2】 上記第2のスイッチング素子のオン・オフを制御する信号線が、前ラインの画素の第1のスイッチング素子のオン・オフを制御する信号線に接続されている請求項1記載の液晶素子。

【請求項3】 上記第2のスイッチング素子のオン・オフを制御する信号線が、複数の前ラインの画素の第1のスイッチング素子のオン・オフを制御する信号線に接続されている請求項2記載の液晶素子。

【請求項4】 上記第2のスイッチング素子のオン・オフを制御する信号線が、前ラインの画素の第1のスイッチング素子のオン・オフを制御する信号線に容量を介して接続されている請求項2または3記載の液晶素子。

【請求項5】 上記第1及び第2のスイッチング素子が薄膜トランジスタである請求項1記載の液晶素子。

【請求項6】 上記液晶が反強誘電性液晶である請求項1記載の液晶素子。

【請求項7】 上記液晶が、印加された電圧値が0の際には第1の光透過率状態を、絶対値において各極性の所定の飽和電圧値以上の電圧値においては第2の光透過率状態を呈し、且つ、印加電圧値に応じて上記第1の光透過率状態と第2の光透過率状態との間で連続的に光透過率が変化する電圧-透過率特性を有する請求項1記載の液晶素子。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、アクティブマトリクス方式により、高速駆動で表示を行う液晶素子に関する発明である。

【0002】

【従来の技術】液晶表示装置に用いられる液晶としては、ネマチック液晶、スメクチック液晶、高分子分散型液晶等、様々な液晶材料が用いられている。

【0003】特に、自発分極を有し、双安定性を持った液晶素子がクラーク(Clark)及びラガーウォール(Lagerwall)の両者により特開昭56-107216号公報、米国特許第4,362,924号明細書等で提案されている。双安定性液晶としては、一般にカイラルスメクチックC相(SmC\*)またはH相(S

mH\*)を有する強誘電性液晶が用いられ、これらの状態において印加された電界にตอบสนองして第1の光学的安定状態と第2の光学安定状態、いわゆる双安定状態を示し、且つ電圧が印加されていない時はその状態を維持する性質、即ち安定性を有し、また電界の変化に対する応答が速やかで、高速且つ記憶型の表示装置等の分野における広い利用が期待されている。

【0004】また、反強誘電性液晶も自発分極を有する液晶であり、当該液晶には、特開平2-153322号公報に開示されたようなヒステリシス特性を持つものと、特開平8-328046号公報に開示されたようなしきい値がなく中間配向状態を示すものが知られている。当該2種の反強誘電性液晶の電圧-透過率特性例を図7に示す。図中(a)は上記ヒステリシス特性を持つタイプであり、(b)が中間配向状態を示すタイプである。

【0005】具体的には、図7(a)の特性を示す液晶を用いた素子においては、印加電圧が0の状態では第1の光透過率状態を示し、絶対値において各極性の所定の第1のしきい値(+V<sub>1</sub> 或いは-V<sub>1</sub>)以上の電圧を印加することによって、第2の光透過率状態にスイッチングし、該第2の光透過率状態において、絶対値において各極性の所定の第2のしきい値(+V<sub>2</sub> 或いは-V<sub>2</sub>)以下の電圧を印加することによって、上記第2の光透過率状態にスイッチングする。従って、印加電圧が0の時に最暗状態となるように一対の偏光板によって液晶素子を挟持することにより、白・黒二値表示が可能となる。

【0006】また、図7(b)の特性を示す液晶を用いた素子においては、印加された電圧値が0の際には第1の光透過率状態を、絶対値において各極性の所定の飽和電圧値(+V<sub>3</sub> または-V<sub>3</sub>)以上の電圧値においては第2の光透過率状態を呈し、且つ、印加電圧値に応じて上記第1の光透過率状態と第2の光透過率状態との間で連続的に光透過率が変化する電圧-透過率特性を有する。従って、上記第1の光透過率状態の時に最暗状態となるように一対の偏光板で当該液晶素子を挟持すると、黒〜白間で印加された電圧値に対応して連続した中間調を表示することができる。

【0007】強誘電性或いは反強誘電性液晶の高速で且つ広い視野角特性を生かして、アクティブマトリクスで駆動する液晶素子の研究がなされてきた。以下にこれに関連する文献を挙げる。

(1) A full-color threshold less Antiferroelectric LC exhibiting wide viewing angle with fast response time, T. Yoshida et al, SID 97 (Society for Information Display 97) DIGEST P841  
(2) Voltage-holding proper

ties of thresholdless antiferroelectric liquid crystals driven by active matrices, T. Saishu et al, SID 96 (Society for Information Display 96) DIGEST P703  
(3) Analytical modelling of active-matrix driving of liquid crystals with spontaneous polarization T. Verhulst Jpn. J. Appl. Phys. Vol. 36 (1997) pp720-729

【0008】

【発明が解決しようとする課題】強誘電性液晶や反強誘電性液晶は自発分極を持つために、ネマチック液晶に比べて応答速度が速く、高速駆動が可能である。しかしながら、自発分極の反転に要する電流を外部から供給する必要があることから、駆動回路から見た時の負荷が大きいという問題がある。特に、自発分極が大きい場合にはこの問題が深刻になる。以下に、実際の数値を挙げて説明する。

【0009】通常のTN型液晶素子では、液晶層を挟む電極間の静電容量は $2\text{ nF/cm}^2$ 前後である。1画素の大きさを $70\mu\text{m} \times 210\mu\text{m}$ とすると、1画素当たりの静電容量は約 $0.3\text{ pF}$  (=Cとする)で、これを $10\text{ V}$  (=Vとする)で駆動する場合に必要な充電電荷量は、 $Q=CV=3\text{ pC}$ である。

【0010】一方、強誘電性液晶や反強誘電性液晶では、上記とほぼ同じ充電電荷に加えて、自発分極の大きさ $P_s$ を $100\text{ nC/cm}^2$ とすると、これを完全に反転させるために $Q=2P_sS=29\text{ pC}$  (Sは1画素の面積)の電荷が必要となる。即ち、自発分極が $100\text{ nC/cm}^2$ 程度の液晶を用いた場合、同じセル構成で駆動する場合に必要な電荷量はTN型液晶の約10倍必要となる。従って、このような自発分極の大きな液晶を用いたアクティブマトリクス方式の液晶素子をTN型液晶素子と同じ時間で駆動する場合には、必要な電流量が10倍以上となり、画素のスイッチング素子の駆動能力がTN型液晶素子に比べて10倍以上高くなければならぬ。

【0011】アクティブマトリクス方式の液晶素子において、スイッチング素子としては例えば薄膜トランジスタ(TFT)が用いられるが、駆動能力即ちゲートオン時のソース・ドレイン間のコンダクタンスを大きくするには、開口率を犠牲にしてTFTのサイズを大きくしなければならない。しかしながら、10倍以上にすることは非現実的である。

【0012】特に、図7(b)に示した電圧-透過率特性を有する反強誘電性液晶については、アクティブマトリクス駆動により連続的な中間調を表示することができ

るが、現状では自発分極が $100\text{ nC/cm}^2$ 以上のもののしか得られていないため、通常のTFTによるアクティブマトリクス駆動は困難であった。

【0013】また、図7(b)の特性において第1の光透過率状態と第2の光透過率状態間での遷移がヒステリシス曲線を描く場合や、液晶の応答時間が書き換える前の透過率状態によって異なる場合があり、特に自発分極の大きい液晶において階調表示の乱れが顕著になるという問題もあった。

【0014】本発明の目的は、自発分極を有する液晶を用いて高速でアクティブマトリクス駆動する液晶素子を構成することにある。特に、電圧-透過率特性にしきい値のない液晶を用いた場合に、ドメインウォールの安定性、電荷量の制御性を向上し、安定した階調表示を実現することにある。

【0015】

【課題を解決するための手段】本発明は、互いに直交する複数の走査信号線と情報信号線、及び該信号線の交点を1画素として、各画素毎に画素電極と第1のスイッチング素子を設けた第1の基板と、各画素毎に電氣的に独立した対向電極を設けた第2の基板との間に自発分極を有する液晶を挟持してなり、各画素において、上記画素電極が電氣的に独立し且つ第2のスイッチング素子によって相互に連結された複数の領域からなり、該画素電極と対向電極によって、直列接続された複数のキャパシタンスが上記第1のスイッチング素子の負荷として形成されていることを特徴とする液晶素子である。

【0016】本発明においては特に、印加された電圧値が0の際には第1の光透過率状態を、絶対値において各極性の所定の飽和電圧値以上の電圧値においては第2の光透過率状態を呈し、且つ、印加電圧値に応じて上記第1の光透過率状態と第2の光透過率状態との間で連続的に光透過率が変化する電圧-透過率特性を有する液晶を用いて、良好な階調表示を行うことができる。

【0017】

【発明の実施の形態】図1に本発明の液晶素子の一実施形態の1画素の等価回路である。図中、1は第1のスイッチング素子である薄膜トランジスタ(TFT)、2は第2のスイッチング素子であるTFT、3は第1のキャパシタンス、4は第2のキャパシタンスである。

【0018】図2は、上記実施形態の画素を複数個( $2 \times 3$ )配列し、第2のTFT2のゲート電極を、前ラインの走査信号線に接続した実施形態の等価回路である。図中、5は走査信号線、6は情報信号線である。

【0019】図3は、図2の等価回路を有する実施形態の電極構造例を示す平面模式図であり、図中のA-A'断面図を図4に示す。尚、図3においては便宜上、主要部材のみを示す。図中、31~34は第2のTFT2を構成する部材で、31はゲート電極、32はa-Si(アモルファスシリコン)層、33はソース電極、34

はドレイン電極である。また、42～47は第1のTFT1を構成する部材で、42はゲート電極、43はゲート絶縁膜、44はa-Si層、45はn<sup>+</sup>-a-Si層、46はソース電極、47はドレイン電極である。さらに、41は第1の基板、53は第2の基板、48は絶縁膜、49はパッシベーション膜、50は第1の画素電極、51は第2の画素電極、54は対向電極、55は絶縁膜、52及び56は配向膜、57は自発分極を有する液晶、58は保持容量電極、7は配線である。

【0020】本発明において用いられる自発分極を有する液晶としては、前記した強誘電性液晶や反強誘電性液晶が用いられるが、中でも、図7(b)に示すしきい値のない電圧-透過率特性を有する液晶を用いることによって、良好な階調表示が可能となる。また、図7(a)の特性を示す液晶を用いた場合には白・黒二値表示を行うことができる。

【0021】尚、本発明においては、本発明にかかる電極構成を有していれば、各部材の素材、形状、製法等については、一般の液晶素子、特にアクティブマトリクス方式の液晶素子の技術を適用することができる。

【0022】本発明においては、画素電極を第1の画素電極50と第2の画素電極51に分割することで電気的に独立した複数の領域を形成している。第1の画素電極50は第1のTFT1のドレイン電極47に接続され、液晶57を挟んで対向電極54との間に第1のキャパシタンス3を形成している。一方、第2の画素電極51も液晶57を挟んで対向電極54との間に第2のキャパシタンス4を形成している。対向電極57は画素毎に絶縁されており、第1及び第2の画素電極に対して対向電極57が共通電極となっているため、第1のTFT1の負荷としてこれらキャパシタンス3、4が直列に接続されていることになる。さらに、第1の画素電極50と第2の画素電極51とは同じ面積になるように形成され、第2のTFT2によって連結されている。

【0023】上記実施形態における各部材の作用を図5により説明する。図5は上記実施形態の1画素の主要部分を模式的に示す断面図である。

【0024】図5の電極構成において、第2のTFT2をオフした状態で第1のTFT1をオンし、該第1のTFT1が接続された情報信号線に所定の電位の情報信号を印加すると、該電位に応じた電荷が第1のTFT1を介して第1の画素電極50に供給され、第1の画素電極50と対向電極54で形成されるキャパシタンス3に蓄積される。その結果、対向電極54の第2の画素電極51に対向する面に、第1の画素電極50と同等の電荷が発生し、第2の画素電極51と対向電極54とで形成されるキャパシタンス4に蓄積される。液晶には、キャパシタンス3と4とで逆方向の電界が印加されることになる。

【0025】図5において(a)は表示中、即ちキャパ

シタンス3、4のいずれもが充電された状態の画素を示しており、第1のTFT1及び第2のTFT2のいずれもオフとなっている。図中の矢印は電界の方向である。

【0026】次に、第2のTFT2をオンし、第1の画素電極50と第2の画素電極51とを導通させることにより、画素内の電荷を放電する(図5(b))。これら画素電極の面積が同じ場合には等量の電荷が電極間に蓄積されているので、キャパシタンス3、4の放電が瞬時に行われる。図5(c)は放電後の画素である。実際には、第1及び第2のTFTを同時にオフとする期間を設けずに、(b)の放電後に(d)の書き込みを行っても良い。

【0027】次いで、第2のTFT2をオフし、第1のTFT1をオンして情報信号に応じた電荷量を第1の画素電極50に供給する。この時、1フレーム毎に液晶に印加する電圧の極性を反転する場合には、(d)に示すように、(a)とは逆極性の電荷を第1の画素電極50に供給する。

【0028】本実施形態を、従来の画素電極を分割しなかった場合と比較すると、第1のTFT1から見た負荷容量は、半分の面積の画素電極で構成されるキャパシタンスが直列に2個接続されているので、合成容量としては従来の1/4となる。但し、情報信号線より与える駆動電圧は、従来の電圧値Vの2倍にしなければならないが、第1のTFT1を流れる電流量は1/2となる。

【0029】また、電荷を供給する第1の画素電極50の面積が従来の半分になっているため、自発分極による反転電流も1/2となる。

【0030】さらに、第2のTFT2によって書き込み前に画素の放電を行うことにより、書き込みを行う期間を従来の半分にする、或いは第1のTFT1に必要な駆動能力を1/2にすることができる。従って、従来と同じ期間で走査する場合には、100nC/cm<sup>2</sup>の自発分極を有する液晶でも、TN型液晶の場合の2.5倍の駆動能力のTFTで良好に表示することが可能となる。

【0031】また、一旦、画素の放電を行った後に情報信号に応じて所定の書き込みを行うことから、書き込み時の液晶状態がいずれの画素においても同一であるため、電圧-透過率特性がヒステリシスを示す場合や、書き込み前の表示状態によって次の書き込み時の液晶の応答時間が異なる場合でも、書き込み内容を安定化させることができる。

【0032】尚、本実施形態の様に画素電極を2分して直列にキャパシタンスを接続した場合には、第1の画素電極50の領域と第2の画素電極51の領域とでは液晶57に印加される電界の方向が逆向きとなる。反強誘電性液晶においては、明状態の光軸はスメクチック軸方向に対して左右にチルトした二つの方向をとり、これを一定周期毎に切り替えて交流駆動するが、これがフリッカ

として視認されることがある。従来、これを防ぐ方法として1行毎に駆動極性を正負逆にするいわゆる1H反転駆動法が提案されている(特開平4-182694号公報)が、通常のアクティブマトリクス方式では対向電極が共通なためにソース電圧を正負交互に与えなければならず、ソース(情報信号)ドライバICに高電圧出力のものが求められていた。本実施形態では、1画素内で正負2方向が存在するので、1H反転の必要がなく、ソースドライバICの低電圧化が容易になるという利点もある。

【0033】図2、図3に示した実施形態においては、第2のTFT2のゲート電極31は、前ラインの走査信号線5aに接続し、前ラインの画素の第1のTFT1をオンして書き込みを行う期間を利用して画素の放電を行う。尚、1ライン目の第2のTFT2のゲート電極31は、最終ラインの走査信号線に接続しても良いが、配線が長くなるため、1ライン目の走査信号線の手前に別途信号線を設けて当該ラインの第2のTFT2のゲートを制御しても良い。また、画素電極51には配線7が接続されており、該配線7は引き出されて接地されている。

【0034】図6は、本発明の液晶素子の他の実施形態の等価回路を示す図であり、本実施形態においては、第2のTFT2のゲート電極を、複数の前ラインの走査信号線に接続して、当該前ラインに印加される走査信号によって制御する。従って、画素の放電期間は、書き込み期間の2倍とすることができるため、放電時の液晶の応答時間が長い場合には有効である。尚、本実施形態においても、1ライン目及び2ライン目の画素の第2のTFTのゲートの制御用に、1ライン目の走査信号線の手前に別途信号線を設けても構わない。

【0035】尚、本実施形態においては、該第2のTFT2のゲート電極が複数の走査信号線に接続されているため、図6に示すように、第2のTFT2のゲート電極と走査信号線の間に容量61を接続しておくことにより、当該第2のTFT2がオンした際に、不要なラインのTFTがオンして誤動作するのを防止することができる。

【0036】

【実施例】図2～4に示す構成の液晶素子を作製した。 $a-Si$ 層32、44としては、水素希釈のモノシラン( $SiH_4$ )をグロー放電分解法(プラズマCVD)で、約300℃の基板上に約200nmの厚みで堆積させ、ゲート絶縁膜43は窒化シリコン( $SiN_x$ )をグロー放電分解法(プラズマCVD)により形成した。また、オーミックコンタクトのための $n^+$   $a-Si$ 層45は、リンのドーピングにより形成した。さらに、約9pfの保持容量電極58を形成した。本実施例では、液晶としてチソ社製反強誘電性液晶「CS4000」を用い、セル厚を1.5 $\mu m$ として螺旋ピッチを抑制し、強誘電性配向状態と反強誘電性配向状態を安定に実現し

た。配向膜52、56としては、東レ社製「LP-64」を用いて膜厚を約10nmとし、図4に示すように、上下基板でラビング方向が反平行になるようにラビングした。

【0037】上記液晶素子を、ゲートパルス幅を500 $\mu s$ 、走査選択信号(ゲートオンパルス)の電圧を16V、情報信号電圧を $\pm 2\sim 8V$ に設定して階調駆動したところ、安定した表示が実現した。

【0038】

【発明の効果】以上説明したように、本発明によれば、アクティブマトリクス方式の液晶素子において、スイッチング素子にかかる負荷を低減することができ、該スイッチング素子に要求される駆動能力を1/4に大幅に低減することができるため、自発分極が大きい液晶においてもドメインウォールの安定性、電荷量の制御性を向上し、開口率を大幅に犠牲にすることなく、高速でアクティブマトリクス駆動することが可能となる。さらに、自発分極が大きく且つ中間調表示が可能な液晶を用いて、安定した階調表示を実施することが可能となる。

【図面の簡単な説明】

【図1】本発明の液晶素子の一実施形態の1画素の等価回路を示す図である。

【図2】本発明の液晶素子の一実施形態の等価回路を示す図である。

【図3】図2の等価回路を有する液晶素子の1画素の電極構成を模式的に示す平面図である。

【図4】図2の液晶素子の1画素の断面模式図である。

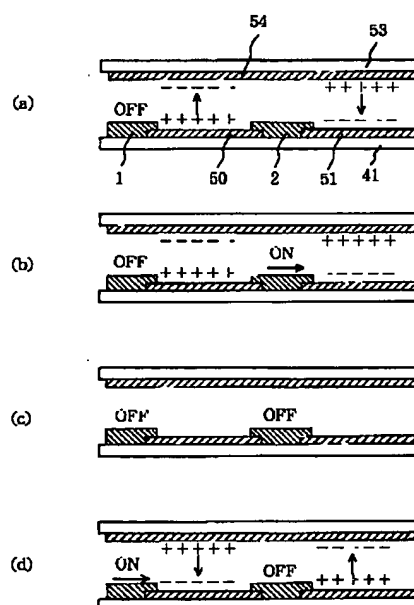
【図5】本発明の作用を説明するための図である。

【図6】本発明の液晶素子の他の実施形態の等価回路を示す図である。

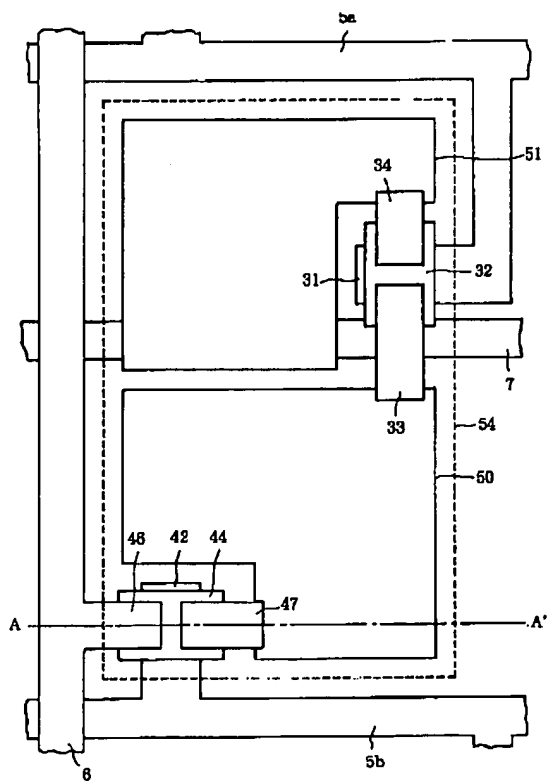
【図7】本発明に用い得る液晶の電圧-透過率特性を示す図である。

【符号の説明】

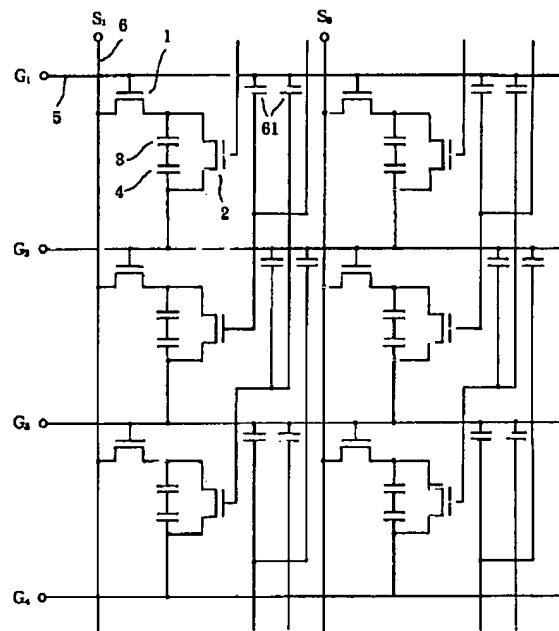
- 1 第1のTFT
- 2 第2のTFT
- 3 第1のキャパシタンス
- 4 第2のキャパシタンス
- 5、5a、5b 走査信号線
- 6 情報信号線
- 7 配線
- 31 ゲート電極
- 32  $a-Si$ 層
- 33 ソース電極
- 34 ドレイン電極
- 41 第1の基板
- 42 ゲート電極
- 43 ゲート絶縁膜
- 44  $a-Si$ 層
- 45  $n^+$   $a-Si$ 層
- 46 ソース電極



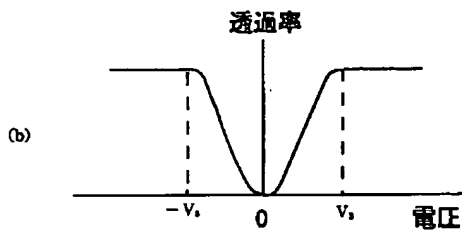
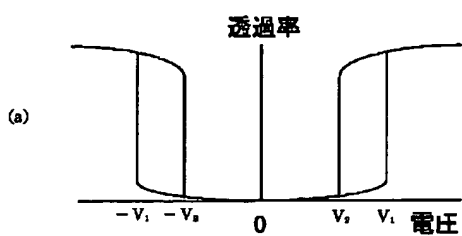
【図3】



【図6】



【図7】



フロントページの続き

(72)発明者 榎本 隆  
東京都大田区下丸子3丁目30番2号 キヤ  
ノン株式会社内  
(72)発明者 稲葉 豊  
東京都大田区下丸子3丁目30番2号 キヤ  
ノン株式会社内

Fターム(参考) 2H092 JA26 JA29 JA33 JA38 JA42  
JA47 JB02 JB13 JB14 JB23  
JB32 JB38 JB42 JB54 JB57  
JB63 JB69 KA05 KA07 KA12  
KA24 MA05 MA08 MA13 MA17  
MA27 MA31 MA34 MA35 MA37  
MA41 NA07 NA22 NA23 NA25  
NA27 NA29 PA06 QA12 QA18  
2H093 NA16 NA23 NA33 NA42 NC09  
NC16 NC34 NC40 NC67 ND09  
ND22 ND37 ND43 NE03 NF16  
NH05



This Page is inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ BLACK BORDERS
- ☒ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☐ BLURED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☒ COLORED OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REPERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images  
problems checked, please do not report the  
problems to the IFW Image Problem Mailbox**